

## عنوان مقاله:

طراحی جمع کننده 16 بیتی کم توان در پروسس 45 نانومتر CMOS

## محل انتشار:

کنفرانس ملی فناوری های نوین در مهندسی برق و کامپیوتر (سال: 1396)

تعداد صفحات اصل مقاله: 12

## نویسندگان:

امیر احمدلو - گروه مهندسی الکترونیک، دانشکده فنی مهندسی، دانشگاه محقق اردبیلی، اردبیل، ایران

غلامرضا زارع فتین - استادیار گروه مهندسی برق، دانشگاه محقق اردبیلی، اردبیل، ایران

جواد جاویدان - دانشیار گروه مهندسی برق، دانشگاه محقق اردبیلی، اردبیل، ایران

## خلاصه مقاله:

جمع کننده‌های یکی از بلوک‌های اساسی و تشکیل دهنده سیستم‌های VLSI نظیر میکروپروسورها و پردازنده‌های DSP میباشند. لذا، تمایل قابل توجهی نسبت به الکترونیک دیجیتال برای طراحی ساختارهای جمع کننده سریع و با توان مصرفی پایین وجود CSLA روشی برای بهبود سرعت، یا دو برابر کردن عملکرد سرعت نسبت به جمع کننده RCA است، زیرا حامل تنها میتواند 0 یا 1 باشد. این روش، بر مبنای جمع کننده مجموع شرطی است و به یک جمع کننده انتخاب حامل، توسعه یافته است. PPA برای کاهش تاخیر ناشی از انتشار حامل، استفاده شده است. در این مقاله، الگوریتم Ling را از میان بسیاری از پدیده‌های توسعه یافته در ساختار Brent-Kung انتخاب کرده است. علت اصلی این امر آن است که این جمع کننده‌ها از یک شبکه ی درختی بهره میگیرند که مسیر انتشار نقلی در آنها به گونه ای است که تاخیر انتشار را برای یک جمع کننده عرض N بیتی، تا اندازه ی  $\log_2 N$  کاهش میدهد. نتایج بدست آمده در فرکانس کاری 71 مگاهرتز تغییراتی در توان مصرفی و نیز تاخیر نشان داده است که با استفاده از معماری Brent-Kung بدون در نظر گرفتن الگوریتم Ling تاخیر حداکثر به اندازه 18% نسبت به CSLA کاهش یافته است. و با در نظر گرفتن الگوریتم Ling در جمع کننده Brent-Kung توان مصرفی به مقدار 77% نسبت به جمع کننده CSLA کاهش یافته و از عملکرد بهتری برخوردار است. این مقاله، تلاشی برای مقایسه جمع کننده های 16 بیتی در فناوری 45 نانومتر CMOS به کمک نرم افزار Hspice انجام شده نتیجه تحلیل، نشان داده که جمع کننده پیشنهادی، در مقایسه با جمع کننده های مختلف، بهینه است.

## کلمات کلیدی:

Brent-Kung، CSLA، توان مصرفی، سرعت بالا، جمع کننده، الگوریتم Ling

## لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/758860>

