سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی یک مدار جمع کننده 4 بیتی مبتنی بر منطق دامینو با کاهش مصرف توان و تاخیر

محل انتشار:
اولین همایش ملی پژوهش های نوین در مهندسی و علوم کاربردی (سال: 1396)

تعداد صفحات اصل مقاله: 5

نویسندگان:
مسعود فرخی - *گروه مهندسی برق، واحد دورود ، دانشگاه آزاد اسلامی، دورود ، ایران*

ایمان چهارمحالی - *استادیار گروه مهندسی برق، واحد اندیمشک، دانشگاه آزاد اسلامی، اندیمشک، ایران*

خلاصه مقاله:
در این مقاله یک مدار پیشنهادی برای کاهش توان مصرفی ارایه می کنیم. درواقع، یک تکنیک جدید برای کاهش توان مصرفی ارایه می کنیم. درواقع، نشان می دهیم که مدار منطق دامینوی پیشنهادی مصرف توان بسیار پایین تر و تاخیر بسیار کمتری نسبت به مدارهای منطق دامینوی قبلی دارد. هدف این مقاله طراحی یک جمع کننده ی 4 بیتی با مصرف توان بسیار پایین می باشد. در واقع هدف اصلی کمینه کردن مصرف توان و کاهش مساحت تراشه با استفاده از تکنیک دامینو و استفاده از تعداد ترانزیستور کمتر می باشد. نشان می دهیم که جمع کننده ی 22 ترانزیستوری پیشنهادی مصرف توان کمتری نسبت به ساختار 10 ترانزیستوری دارد.

کلمات کلیدی:
منطق دامینو، جمع کننده، مصرف توان، تاخیر

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/812499