

عنوان مقاله:

شبیه سازی یک سلول تمام جمع کننده یک بیتی CMOS با توان پایین و کارایی بالا

محل انتشار:

سومین کنفرانس بین المللی مهندسی برق (سال: 1397)

تعداد صفحات اصل مقاله: 12

نویسندگان:

فرزاد مولودی - دانشجوی کارشناسی ارشد الکترونیک، دانشکده مهندسی، دانشگاه کردستان، سنندج، ایران

رضا قره اوغلانی - دانشجوی کارشناسی الکترونیک، دانشکده مهندسی، دانشگاه ارومیه، ارومیه، ایران

هادی جهانی راد - استادیار، دانشکده مهندسی، دانشگاه کردستان، سنندج، ایران

خلاصه مقاله:

در این مقاله یک تمام جمع کننده توان کم با کارایی بالا با استفاده از سبک طراحی جدید پل پیشنهاد شده است. سبک طراحی پل دارای نظم بیشتر و چگالی بیشتر نسبت به طراحی CMOS متداول و همچنین تلفات توان پایین تر، با استفاده از برخی ترانزیستورها، ترانزیستورهای پل نامیده می شود. نتایج شبیه سازی نشان دهنده برتری بودن طرح پیشنهاد شده در برابر CMOS معمولی 1 بیتی با توجه به توان، تاخیر است. ما شبیه سازی ها را با استفاده از HSPICE در یک تکنولوژی CMOS استاندارد 180 نانومتر انجام دادیم و با تغییرات ولتاژ تغذیه از 0.65 ولت تا 1.5 ولت با دمای اتاق (25°C) انجام شده است.

کلمات کلیدی:

مدارات CMOS، VLSI، تمام جمع کننده، طراحی مدار پل، توان پایین

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/831729>

