

عنوان مقاله:

پیکر بندی مجدد معماری VLSI کم توان برای اجرای فیلترهای FIR

محل انتشار:

دومین کنفرانس ملی مهندسی برق (سال: 1388)

تعداد صفحات اصل مقاله: 7

نویسنده:

ثاقب کوهپایه عراقی - Center for Multimedia Security and Signal Processing (CMSSP) – Multimedia University- Malaysia

خلاصه مقاله:

این مقاله یک معماری با پیکر بندی مجدد VLSI سنتی را ارائه می کند که مناسب برای ساخت فیلترهای دیجیتال توان پایین، مرتبه متوسط به بالا، پاسخ ضربه محدود (Finite Impulse Response) FIR هست. این کار توسط یک آرایه با قابلیت پیکربندی مجدد بر پایه تکنیک (طراحی عملگر اولیه)، (Primitive Operator Design) (POD) است. مفهوم الگوریتم ژنتیک (Genetic Algorithm) (GA) برای محاسبه پاسخ فرکانسی فیلترهای مذکور از تبدیل فوریه سریع 256 نقطه ای (FFT) (randix-4) استفاده شده است. نتایج نشان می دهند که کارایی فیزیکی سطح و مصرف توان این طراحی، در مقایسه با بقیه FPGA های صنعتی همه منظوره، بسیار قابل رقابت است. در این مقاله سعی شده که کیفیت طراحی فیلتر نیز پیشرفت داشته باشد.

کلمات کلیدی:

پیکر بندی مجدد، فیلتر پاسخ ضربه محدود، فیلتر دیجیتال توان پایین، الگوریتم ژنتیک، طراحی عملگر اولیه، تبدیل فوریه سریع، پردازش دیجیتالی سیگنال

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/86663>

