سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
مدار دینامیکی جدید برای طراحی مقایسه کننده نشانه توان پایین

محل انتشار:
فصلنامه مهندسی برق دانشگاه تبریز, دوره 49, شماره 1 (سال: 1398)

تعداد صفحات اصل مقاله: 11

نویسنده:
محمد آسیایی - *دانشکده فنی و مهندسی - دانشگاه دامغان*

خلاصه مقاله:
در این مقاله یک مدار دینامیکی جدید برای کاهش توان مصرفی مقایسه کننده های نشانه پیشنهاد می شود. برای کاهش توان مصرفی در مدار دینامیکی پیشنهادی از ترانزیستورهای NMOS برای پیش بار گره دینامیکی استفاده شده است. بدین طریق دامنه تغییرات ولتاژ گره دینامیکی کم شده و توان مصرفی کاهش می یابد. شبیه سازی گیت های OR عریض و مقایسه کننده های نشانه 40 بیتی با استفاده از نرم افزار HSPICE در فناوری 90 نانومتر CMOS انجام شده است. نتایج شبیه سازی گیت های OR 32 بیتی در تاخیر یکسان، 42% کاهش توان و 1.68 برابر بهبود مصونیت در برابر نویز را نسبت به مدار دینامیکی متداول نشان می دهند. همچنین نتایج شبیه سازی بیانگر 52% و 16% کاهش به ترتیب در توان مصرفی و تاخیر مقایسه کننده نشانه پیشنهادی نسبت به نوع متداول آن تحت مصونیت در برابر نویز یکسان است.

کلمات کلیدی:
مقایسه کننده نشانه, مدارهای دینامیکی, جریان نشتی, مصونیت در برابر نویز

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/890025