سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
ارائه معماری تلفیقی لایه های 3 و 4 شبکه بر روی هسته کنترل کننده اترنت و پیادهسازی آن بر روی FPGA

محل انتشار:
فصلنامه صنایع الکترونیک, دوره 9, شماره 3 (سال: 1397)

تعداد صفحات اصل مقاله: 8

نویسندگان:
امین نادری - *دانشگاه خواجه نصیر*

یوسف درمانی - *عیئت علمی دانشکده برق و کامپیوتر دانشگاه خواجه نصیر*

علی ناصری - *هیئت علمی دانشگاه جامع امام حسین دانشکده فاوا*

خلاصه مقاله:
در خیلی از کاربردها از جمله اینترنت اشیاء و همچنین بخشهای مختلف شبکههای فرماندهی و کنترل ضرورت دارد که اطلاعات در بستر شبکه منتقل گردد. در کاربردهایی که FPGA نقش پردازنده دارد، به دلیل محدودیتهای هزینه و حجم لازم است تا لایههای شبکه نیز بر روی FPGA پیاده شوند. همچنین چون تمامی لایهها درون FPGA پیاده میشوند امکان رمزگذاری و ... در لایههای مختلف شبکه وجود خواهد داشت. هدف از این مقاله طراحی یک گره در شبکه بر اساس استاندارد IEEE802.3 است به صورتی که قابلیت پیادهسازی بر روی FPGA داشته باشد. در این طراحی، معماری تلفیقی از سه لایه پیوند داده، شبکه و انتقال مدنظر است. به منظور افزایش سرعت و کاهش حجم مورد استفاده از LUT ، طراحی به صورت خط لوله انجام گرفته است. پروتکلهای انتخابی در طراحی انجام شده، پروتکل IEEE802 برای لایه پیوند داده، پروتکل IPv4 برای لایه شبکه و پروتکل UDP برای لایه انتقال میباشد. معماری مذکور بر روی روی تراشه XC6slx9-2 پیادهسازی گردید. طبق نتایج به عمل آمده در عمل و سنتز نرمافزار حدود 25 درصد از حجم سلولهای منطقی FPGA مصرف شده و سرعت کلاک برنامه 140 مگاهرتز به دست آمده است. نرخ ارسال و دریافت سیستم در حالت پایدار برای اترنت 100 ، حدود 80 مگابیت بر ثانیه و برای اترنت 10 برابر 10 مگابیت بر ثانیه به دست آمده است.

کلمات کلیدی:
Ethernet, IEEE802, اترنت, تراشه های برنامه پذیر, FPGA

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/950628