سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
طراحی یک فیلتر IIR دیجیتال قابل برنامه ریزی بر اساس FPGA

محل انتشار:
پنجمین کنفرانس ملی مهندسی برق و مکاترونیک ایران (سال: 1398)

تعداد صفحات اصل مقاله: 16

نویسندگان:
محدثه باختری - *کارشناس ارشد مهندسی برق گرایش الکترونیک*

فرشته بیرجن - *کارشناس ارشد مهندسی برق گرایش الکترونیک*

بنت الهدی باختری - *کارشناس ولتاژ و قراردادها، مدیریت برق ناحیه ۳ هرمزگان،بندرعباس،ایران*

خلاصه مقاله:
FPGA
ها به طور فزاینده ای در کاربردهای پردازش سیگنال با قابلیت، موازی، سرعت بالا، و در زمان سریع به بازار ارائه شده است. فیلتر دیجیتال یکی از مطالب مهم از فرایند سیگنال دیجیتال است. از ویژگی های انتخاب آن میتوان به فرکانس پایین آن در مقایسه با
FIR اشاره کرد. فیلتر های دیجیتال IIR
به طور گسترده ای در سیستم های پردازش سیگنال مدرن استفاده می شود.زبان توصیف سخت افزار
م ا ز ذ د Verilog،
از زبان های برنامه نویسی نرم افزار متفاوت است. زیرا شامل روش های توصیف انتشار زمان و سیگنال وابستگی خود (حساسیت) می باشد.در این مقاله، معماری ای از یک فیلتر
IIR دیجیتال قابل برنامه ریزی بر اساس طرح هیئت مدیره
ش ر ک ت FPGA XILINX
ارائه شده است.در این معماری از طراحی سطح گیت استفاده شده است و به تجزیه و تحلیل پاسخ ضربه فیلتر IIR پرداخته می شود.

کلمات کلیدی:
فیلتر دیجیتال، پاسخ ضربه ، FPGA،Verilog HDL

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/988346