سیویلیکا - ناشر تخصصی مقالات کنفرانس ها و ژورنال ها
گواهی ثبت مقاله در سیویلیکا
CIVILICA.com

عنوان مقاله:
تحلیل تاثیرتغییرات ضخامت و ارتفاعFIN بر توان مصرفی و تاخیرانتشاری درتمام جمع کننده ی-CMOSآمیخته

محل انتشار:
پنجمین کنفرانس ملی مهندسی برق و مکاترونیک ایران (سال: 1398)

تعداد صفحات اصل مقاله: 10

نویسندگان:
تیمور راشدزاده - *گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران*

سیدمحمدعلی ریاضی - *گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران*

نجمه چراغی شیرازی - *گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران*

خلاصه مقاله:
تکنولوژی CMOS به دلیل داشتن برخی محدودیتها مانند اثرکانال کوتاه، تلفات توان، جریان نشتی و غیره، کاربرد مدارهای الکترونیکی در مقیاسنانو را با چالش جدی روبرو کرده است. اخیرا0 پژوهشهای فراوانی برای یافتن جایگزین مناسبی به جای تکنولوژی CMOS صورت گرفته است. ترانزیستورFINFET1 یکی از تکنولوژیهای جایگزین است که قادر به طراحی مدار در مقیاس نانو با کارایی بالا و مصرف توانکم است که میتواند با استفاده از فنآوری سازگار با CMOS مانند لیتوگرافی ساخته شود. شیوه عملکرد آن تقریبا شبیه به ترانزیستور MOSFET مرسوم است. اساس کار این مقاله طراحی تمام جمع کننده به سبک منطقی–CMOS2آمیخته با استفاده از ترانزیستوFINFET مدلBSIM-CMG3، دوگیتی و ساختار FINFET رویBULK میباشد، در این مقاله با توجه به ساختار و معماری ترانزیستورFINFET، تاثیرتغییرات ضخامت و ارتفاع FINها بر روی پارامترهای خروجی تمام جمع کننده مانند تاخیرانتشاری و متوسط توان مصرفی سلول تمام جمع کننده مورد بررسی قرار میگیرد. جهت طراحی جمع کننده از تکنولوژی 16 نانومتر و منبع تغذیه 0,2 ولت و از شبیه ساز HSPICE استفاده خواهد شد. مطابق نتایج شبیه سازی با افزایش ارتفاع وضخامتFIN، متوسط توان مصرفی تمام جمع کننده افزایش پیدا میکند و تاخیرانشاری تمام جمع کننده کاهش پیدا میکند و بلعکس.

کلمات کلیدی:
تمام جمع کننده -CMOSآمیخته، FINFET، ضخامت و ارتفاع FIN، توان مصرفی، تاخیر انتشاری

لینک ثابت مقاله در پایگاه سیویلیکا:
https://civilica.com/doc/988352