

عنوان مقاله:

افزایش کارایی در شبکه های روی تراشه ی سه بعدی با اعمال مکانیزم نوین نگاشت تسک ها بر هسته های پردازشی

محل انتشار:

چهارمین همایش بین المللی مهندسی برق، علوم کامپیوتر و فناوری اطلاعات (سال: 1398)

تعداد صفحات اصل مقاله: 21

نویسندگان:

علی رنجیده رضایی - دانشجوی دکتری، دانشکده مکانیک، برق و کامپیوتر، دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران

سمیه جعفرعلی جاسبی - عضو هیات علمی، دانشکده مکانیک، برق و کامپیوتر، دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران

خلاصه مقاله:

با پیشرفت تکنولوژی نیمه هادی ها و محدودیت افزایش فرکانس پردازنده ها استفاده از سیستم های مبتنی بر چندین پردازنده روی یک تراشه بوجود آمد و نسل جدیدی از پردازنده ها تحت عنوان شبکه های روی تراشه (NoC: Network on chip) ارائه شد. طراحی چنین سیستم هایی برای ارائه کارایی بالا و پشتیبانی از کدهای سری و موازی است. پردازنده های نوین با تعداد هسته های بیشتر همانند RAID های 16 هسته ای MIT و TILE64 با 64 هسته توسط شرکت Tiler و پردازنده SCC توسط شرکت اینتل، ارائه شده اند. در این مقاله برای معماری و زیرساخت ارتباطی، هسته ها را بصورت صفحاتی چینش شده و ارتباط بین صفحات مجاور توسط لینک هایی برقرار می شود و به منظور افزایش کارایی در شبکه های روی تراشه، بر خلاف توپولوژی متعارف مش دو بعدی در شبکه های روی تراشه از معمار های سه بعدی استفاده می شود. سپس تابع نگاشتی برای افزایش کارایی شبکه ی روی تراشه ی سه بعدی ارائه خواهد شد. مکانیزم پیشنهادی شامل دو فاز نگاشت حریصانه و اعمال معماری سه بعدی برای افزایش کارایی و قابلیت اطمینان بر اساس نزدیک ترین موقعیت تسک ها نسبت به محل فعلی پردازنده ها است. با اعمال نگاشت حریصانه در معماری دو بعدی بطور متوسط پارامتر میانگین تاخیر بسته ها، 48% و میانگین هاپ کانت بسته ها 54% کاهش و گذردهی سیستم های چند هسته ای بطور میانگین 265% افزایش را در پی داشته است. با اعمال نگاشت حریصانه در معماری سه بعدی بطور متوسط پارامتر میانگین تاخیر بسته ها، 55% و میانگین هاپ کانت بسته ها 71% کاهش و گذردهی سیستم های چند هسته ای بطور میانگین 310% افزایش را در پی داشته است.

کلمات کلیدی:

شبکه های روی تراشه ، تراشه ی سه بعدی ، نگاشت حریصانه

لینک ثابت مقاله در پایگاه سیویلیکا:

<https://civilica.com/doc/989958>

