**عنوان مقاله:**

Binary implementation of parallel ternary full adder and subtractor

**محل انتشار:**

سیزدهمین کنفرانس دانشجویی مهندسی برق ایران (سال: 1389)

تعداد صفحات اصل مقاله: 4

**نویسنده:**

amir safaei - *research institute of petroleum industry tehran*

**خلاصه مقاله:**

In this paper a binary design for ternary base 3 adder and subtractor which are the main part of ternary ALU's in optical and quantum computers is presented. The cost functions of computation in different radices are calculated and the optimum radix is selected for design.

**کلمات کلیدی:**

base , FPGA,qudit,radix,trit , verilog

**لینک ثابت مقاله در پایگاه سیویلیکا:**

https://civilica.com/doc/99334